

KOREAN PATENT ABSTRACTS (KR)

Patent Laid-Open Publication (A)

(51) IPC Code: H01L 27/10

(43) Laid Open Date: 15 January 1999

(11) Laid Open No.: 1999-001473

(22) Filing Date: 16 June 1997

(21) Application No.: 10-1997-024820

(71) Applicant: Samsung Electronics Co., Ltd.

(54) Title of the Invention:

Semiconductor Memory Device and Method of Fabricating the Same

(57) Abstract:

Provided is a semiconductor memory device that includes a memory cell array with a plurality of memory cells arranged in a matrix form, and a peripheral circuit part that drives the memory cell. In the semiconductor memory device, redundancy cells that replace defective memory cells are overall arranged except between the memory cell array and the peripheral circuit part. That is, the redundancy cells are disposed at a center portion of the memory cell array or between normal memory cells where the rates of defects are lower than in other parts, thereby reducing the occurrence of a defect of a redundancy cell and increasing throughput.

특1999-001473

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/10	(11) 공개번호 (43) 공개일자	특1999-001473 1999년01월15일
(21) 출원번호	특1997-024820	
(22) 출원일자	1997년06월16일	
(71) 출원인	삼성전자 주식회사 윤종용	
(72) 발명자	경기도 수원시 팔달구 매탄동 416 주재훈	
	경기도 수원시 권선구 권선동 1067-1 강상석	
	경기도 수원시 장안구 송죽동 461 임종형	
	경기도 수원시 팔달구 매탄동 111-136 최창주	
(74) 대리인	경기도 수원시 장안구 정자동 동신아파트 107-1302 이건주	

심사청구 : 있음

(54) 반도체 메모리 장치 및 그 제조 방법

요약

다수의 메모리 셀들이 매트릭스 형태로 배열된 메모리 셀 어레이와 상기 메모리 셀을 구동시키기 위한 주변 회로부를 포함하는 반도체 메모리 장치가 개시되어 있다. 상기 반도체 메모리 장치에 있어서, 불량 메모리 셀을 대체하기 위한 리던던시 셀이 상기 메모리 셀 어레이와 주변 회로부의 경계면을 제외한 영역에 배치된다. 상기 리던던시 셀은 불량 발생률이 낮은 메모리 셀 어레이의 중앙부나 정상적인 메모리 셀들 사이에 배치되므로, 리던던시 셀의 불량 발생률을 감소시켜 수율을 향상시킬 수 있다.

도면

도2

평면도

도면의 간단한 설명

도 1은 종래의 반도체 메모리 장치에 있어서 리던던시 셀의 배치를 도시한 평면도이다.
도 2는 본 발명에 따른 반도체 메모리 장치에 있어서 리던던시 셀의 배치를 도시한 평면도이다.

도면의 주요 부분에 대한 부호의 설명

100 ... 메모리 셀 어레이 102 ... 주변 회로부
104a ... 열 디코더 104b ... 행 디코더
106 ... 센스 증폭기 108a ... 열 리던던시 셀
108b ... 행 리던던시 셀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는 수율(yield)을 증가시킬 수 있도록 리던던시 셀(redundancy cell)이 배치되는 반도체 메모리 장치 및 그 제조 방법에 관한 것이다.

다이내믹 랜덤 액세스 메모리(dynamic random access memory)와 같은 반도체 메모리 장치는 다수의 메모리 셀이 X, Y 방향으로 규칙적으로 배열된 메모리 셀 어레이(memory cell array)와, 상기 메모리 셀 어레이

미의 주변에 형성되어 상기 셀들을 제어하기 위한 주변 회로부(peripheral circuit)으로 구성된다. 각각의 메모리 셀은 워드라인으로 불리는 행 방향 신호선과 비트라인으로 불리는 열 방향 신호선의 쌍방을 선택함으로써 선택할 수 있다.

상기한 구조를 갖는 반도체 메모리 장치가 고집적화됨에 따라 불량된 메모리 셀을 대체하는 리던던시 셀의 숫자가 증가하고 있으며, 원가 상승의 문제점을 개선하기 위한 노력이 더욱 경주되고 있다.

원가를 절감하기 위해서는 우선적으로 고집적화가 달성되어야 하는데, 이를 위해서 공정 마진(process margin)과 수율(yield)이 보장되어야 하며, 특히, 수율을 향상시키기 위해서 리던던시 셀의 역할이 더욱 증대되고 있다. 즉, 리던던시 셀을 제외한 정상적인 메모리 셀의 일부에 불량이 발생할 경우, 상기 불량 셀이 액세스될 때 리던던시 셀이 구동하도록 설계된다.

도 1은 종래의 반도체 메모리 장치에 있어서 리던던시 셀의 배치를 도시한 평면도이다.

도 1을 참조하면, 종래의 반도체 메모리 장치는 메모리 셀들을 규칙적으로 매트릭스 상태로 배열한 메모리 셀 어레이(10), 상기 메모리 셀을 구동시키기 위한 주변 회로부(12), 복수 개의 입력 단자와 복수 개의 출력 단자를 가지며 입력 단자의 어느 조합에 신호가 가해졌을 때 그 조합에 대응하는 하나의 출력 단자에 신호가 나타나는 열 디코더(row decoder)(14a) 및 행 디코더(column decoder)(14b), 그리고 각각의 비트라인에 연결되어 메모리 셀에서 판독(read)된 신호를 증폭시키기 위한 센스 증폭기(sense amplifier)(16)를 구비한다.

또한, 상기한 종래의 반도체 메모리 장치에서는 레미아웃 상의 편리함을 위하여 메모리 셀 어레이(10)의 엣지 영역에 리던던시 셀(18a, 18b)을 배치한다. 즉, 메모리 셀 어레이(10)와 센스 증폭기 영역(16)과의 경계면의 인접부에 열 리던던시 셀(18a)이 배치되고, 메모리 셀 어레이(10)와 워드라인 구동 회로부(도시되지 않음)와의 경계면의 인접부에 행 리던던시 셀(18b)이 배치된다. 여기서, 참조 부호 20a 및 20b는 열/행 리던던시 회로를 나타낸다.

그러나, 상술한 종래의 리던던시 셀(18a, 18b)의 배치 방법에 의하면, 메모리 셀 어레이의 불량률이 가장 높은 지역(빗금친 부분 참조)에 리던던시 셀(18a, 18b)이 배치되게 된다. 이를 보다 상세히 설명하면 다음과 같다.

반도체 제조 공정 중에서 메모리셀의 형성 공정에 의하여 메모리 셀 어레이(10)와 다른 영역(예컨대, 주변 회로부 또는 센스 증폭기 영역)의 사이에 수직적인 구조 차이로 인한 단차가 발생한다. 이에 따라, 메모리 셀 어레이(10)의 엣지 영역(빗금친 부분 참조)은 사진 공정을 진행할 때 상기의 단차로 인하여 입사광이 난반사되거나 식각 공정을 진행할 때 미물질이 제거되는 과정 중에 식각이 집중되기 쉬운 영역이 되므로, 메모리 셀의 불량률이 가장 높은 영역이 된다. 더욱이, 메모리 장치의 집적도가 증가할수록 수직적인 축소(shrink)가 이루어지지 않아 상기의 단차로 인한 메모리 셀의 불량률이 더욱 문제시된다.

발명이 이루고자 하는 기술적 과제

상술한 바와 같이 메모리 셀의 불량률이 가장 높은 영역에 리던던시 셀을 배치하게 되면, 리던던시 셀의 잠재 불량률이 높아지게 되어 상기 리던던시 셀의 정상적인 동작을 보장하기 어렵다. 그 결과, 정상적인 메모리 셀의 일부에 불량이 발생할 경우, 상기한 불량 셀을 리던던시 셀로 대체한 이후에도 수율을 향상시키기 어렵다.

따라서, 본 발명의 목적은 수율을 증가시킬 수 있도록 리던던시 셀이 배치되는 반도체 메모리 장치를 제공하는데 있다.

본 발명의 다른 목적은 상기 반도체 메모리 장치를 제조하는데 특히 적합한 반도체 메모리 장치의 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은,

다수의 메모리 셀들이 매트릭스 형태로 배열된 메모리 셀 어레이와 상기 메모리 셀을 구동시키기 위한 주변 회로부를 포함하는 반도체 메모리 장치에 있어서, 불량 메모리 셀을 대체하기 위한 리던던시 셀이 상기 메모리 셀 어레이와 주변 회로부의 경계면을 제외한 영역에 배치되는 것을 특징으로 하는 반도체 메모리 장치를 제공한다.

바람직하게는, 상기 리던던시 셀은 상기 메모리 셀 어레이의 중앙부에 배치되거나, 상기 메모리 셀과 메모리 셀의 사이에 배치된다.

또한, 상기 다른 목적을 달성하기 위하여 본 발명은,

다수의 메모리 셀들이 매트릭스 형태로 배열된 메모리 셀 어레이와 상기 메모리 셀을 구동시키기 위한 주변 회로부를 포함하는 반도체 메모리 장치의 제조 방법에 있어서, 불량 메모리 셀을 대체하기 위한 리던던시 셀을 상기 메모리 셀 어레이와 주변 회로부의 경계면을 제외한 영역에 배치하는 것을 특징으로 하는 반도체 메모리 장치의 제조 방법을 제공한다.

본 발명에 의하면, 리던던시 셀을 불량 발생율이 매우 높은 메모리 셀 어레이와 주변 회로부의 경계면에 배치하지 않고 불량 발생율이 낮은 메모리 셀 어레이의 중앙부나 정상적인 메모리 셀들 사이에 배치한다. 따라서, 리던던시 셀의 불량 발생율을 감소시켜 수율을 향상시킬 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

도 2는 본 발명에 따른 반도체 메모리 장치에 있어서 리던던시 셀의 배치를 도시한 평면도이다.

도 2를 참조하면, 본 발명의 반도체 메모리 장치는 복수 개의 메모리 셀들을 규칙적으로 매트릭스 상태로

배열한 메모리 셀 어레이(100), 상기 메모리 셀을 구동시키기 위한 주변 회로부(102), 복수 개의 입력 단자와 복수 개의 출력 단자를 가지며 입력 단자의 어느 조합에 신호가 가해졌을 때 그 조합에 대응하는 하나의 출력 단자에 신호가 나타나는 열 디코더(row decoder)(104a) 및 행 디코더(column decoder)(104b), 그리고 각각의 비트라인(도시되지 않음)에 연결되어 메모리 셀에서 판독(read)된 신호를 증폭시키기 위한 센스 증폭기(sense amplifier)(106)를 구비한다.

또한, 상기한 본 발명의 반도체 메모리 장치에서는 메모리 셀 어레이(100)의 중앙부 또는 메모리 셀과 메모리 셀의 사이에 열 리던던시 셀(row redundancy cell)(108a) 및 행 리던던시 셀(column redundancy cell)(108b)을 배치한다. 여기서, 참조 부호 110a 및 110b는 열 리던던시 회로 및 행 리던던시 회로를 나타낸다.

즉, 메모리 셀의 형성 공정에 의하여 단차가 발생하여 불량 발생율이 높은 영역(빔금전 부분 참조)인 메모리 셀 어레이(100)와 주변 회로부(102)와의 경계면, 즉, 메모리 셀 어레이(100)와 센스 증폭기 영역(106)과의 경계면의 인접부 및 메모리 셀 어레이(100)와 워드라인 구동 회로부(도시되지 않음)와의 경계면의 인접부에는 행/열 리던던시 셀(108a, 108b)이 배치되지 않는다. 반면에, 불량 발생율이 낮은 메모리 셀 어레이(100)의 중앙부 또는 정상적인 메모리 셀들 사이에 열/행 리던던시 셀(108a, 108b)이 배치된다.

발명의 효과

상술한 바와 같이 본 발명에 따른 반도체 메모리 장치에 의하면, 리던던시 셀을 불량 발생율이 매우 높은 메모리 셀 어레이와 주변 회로부의 경계면에 배치하지 않고 불량 발생율이 낮은 메모리 셀 어레이의 중앙부나 정상적인 메모리 셀들 사이에 배치한다.

따라서, 리던던시 셀의 불량 발생율을 감소시켜 수율을 향상시킬 수 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1. 다수의 메모리 셀들이 매트릭스 형태로 배열된 메모리 셀 어레이와 상기 메모리 셀을 구동시키기 위한 주변 회로부를 포함하는 반도체 메모리 장치에 있어서,

불량 메모리 셀을 대체하기 위한 리던던시 셀이 상기 메모리 셀 어레이와 주변 회로부의 경계면을 제외한 영역에 배치되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2. 제1항에 있어서, 상기 리던던시 셀은 상기 메모리 셀 어레이의 중앙부에 배치되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3. 제1항에 있어서, 상기 리던던시 셀은 상기 메모리 셀과 메모리 셀의 사이에 배치되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4. 다수의 메모리 셀들이 매트릭스 형태로 배열된 메모리 셀 어레이와 상기 메모리 셀을 구동시키기 위한 주변 회로부를 포함하는 반도체 메모리 장치의 제조 방법에 있어서,

불량 메모리 셀을 대체하기 위한 리던던시 셀을 상기 메모리 셀 어레이와 주변 회로부의 경계면을 제외한 영역에 배치하는 것을 특징으로 하는 반도체 메모리 장치의 제조 방법.

청구항 5. 제4항에 있어서, 상기 리던던시 셀은 상기 메모리 셀 어레이의 중앙부에 배치하는 것을 특징으로 하는 반도체 메모리 장치의 제조 방법.

청구항 6. 제4항에 있어서, 상기 리던던시 셀은 상기 메모리 셀과 메모리 셀의 사이에 배치하는 것을 특징으로 하는 반도체 메모리 장치의 제조 방법.

도면

FIG. 1

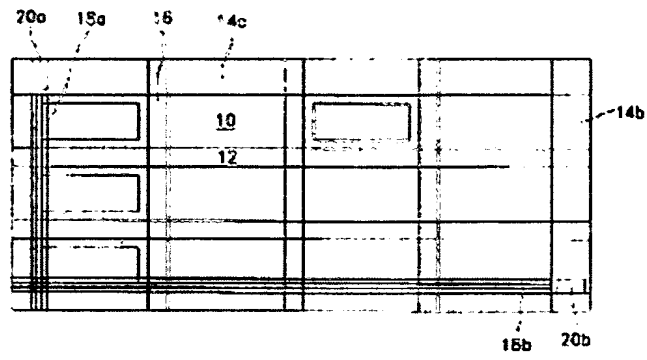


FIG. 2

